

⑪ 公開特許公報 (A)

平1-134936

⑤Int.Cl.⁴H 01 L 21/318
21/90
21/95
29/78

識別記号

371

厅内整理番号

M-6708-5F
M-6708-5F
6708-5F
7514-5F

④公開 平成1年(1989)5月26日

審査請求 未請求 発明の数 2 (全7頁)

⑤発明の名称 半導体装置およびその製造方法

⑥特 願 昭62-291922

⑦出 願 昭62(1987)11月20日

⑧発明者 藤井 哲夫 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内
 ⑨発明者 酒井 峰一 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内
 ⑩出願人 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地
 ⑪代理人 弁理士 鈴江 武彦 外2名

明細書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) 半導体基板上に、酸化膜による絶縁層を介して電極層が積層形成されたようにした半導体装置において、

上記絶縁層は、両面にナイトロオキサイド層が形成されたようにした3層構造で構成されるようにしたことを特徴とする半導体装置。

(2) 上記電極層は、不揮発性メモリを構成するフローティングゲート電極およびコントロールゲート電極であり、上記半導体基板とフローティングゲート電極との間、およびフローティングゲート電極とコントロールゲート電極とのそれぞれの間に、上記3層構造の絶縁層が介在されたようにした特許請求の範囲第1項記載の半導体装置。

(3) 上記電極層は、ショートチャンネルのMOSトランジスタを構成するものであり、この電極層の周囲が上記3層構造の絶縁層で囲まれるようにした特許請求の範囲第1項記載の半導体装置。

(4) 半導体基板の面上に酸化膜層を形成する工程と、

上記酸化膜層の形成された半導体基板を窓系系の反応ガス雰囲気内に設定し、上記半導体基板を急速加熱して上記酸化膜層の両面それぞれにナイトロオキサイド層を形成させ3層構造の絶縁層とする工程と、

上記3層構造の絶縁層上に電極層を形成する工程とを具備し、

上記電極層はエッチングにより所定パターン形状とされ、さらに酸化膜層で被覆されるようすると共に、この酸化膜層が急速加熱によって両面にナイトロオキサイド層が形成された3層構造とされるようにしたことを特徴とする半導体装置

の製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は、絶縁層を介して電極層が積層形成されるようにした場合、上記絶縁層においてトラップを少なくし、またトラップが発生し難い状態とされるようにした半導体装置およびその製造方法に関するものである。

[従来の技術]

例えばEPROM、EEPROM等の不揮発性メモリにあっては、シリコン半導体基板の表面にシリコン酸化膜による絶縁層を介してフローティングゲート電極が形成され、さらにこのフローティングゲート電極上には、シリコン酸化膜による絶縁層を介してコントロールゲート電極が形成されるようになっている。

このような半導体装置にあっては、その製造プロセスの途中で実施される、例えばドライエッチ

して電極層が形成されるようにする場合、上記絶縁層を酸化膜の両面それぞれにナイトライド層が形成される3層構造によって構成されるようになるものであり、このために酸化膜層が形成された後に、例えばNH₃のような窒素系の反応ガス中で急速加熱処理し、酸化膜の両面にナイトロオキサイド層が形成されるようにし、この両面にナイトロオキサイド層が形成された3層構造の絶縁層上に電極層が形成されるようになるものである。そして、さらに上記電極層の周囲に酸化膜層で囲み、この酸化膜層を上記同様に窒素系の反応ガス雰囲気で急速加熱処理させるようになる。

[作用]

このようにして例えばEPROM、EEPROMを構成すれば、フローティングゲート電極さらにコントロールゲート電極外周部が酸化膜の両面にナイトロオキサイド層の形成された3層構造の絶縁層によって囲まれるようになり、トラップの少ない状態であり且つトラップの発生し難い状態

ング等のダメージによりトラップが誘起され易い状態となるものであり、この絶縁層にトラップが誘起され易い状態となると、EPROM、EEPROM等にあってはデータの電荷保持特性が劣化するようになり、メモリとしての信頼性を向上させることが困難となる。

[発明が解決しようとする問題点]

この発明は上記のような点に鑑みなされたもので、例えばEPROM、EEPROMの半導体基板とフローティングゲート電極等の電極層周辺の絶縁層において、トラップが少なく且つトラップが誘起され難くするようにして、動作特性の信頼性が確実に得られるようにする半導体装置、さらにこのような半導体装置の製造方法を提供しようとするものである。

[問題点を解決するための手段]

すなわち、この発明に係る半導体装置にあっては、半導体基板の表面に酸化膜による絶縁層を介

とされるようになる。したがって、例えばデータ電荷の保持特性が安定して設定されるようになるものであり、EPROM、EEPROM等の半導体装置の動作特性の信頼性が効果的に向上されるようになる。そして、上記のような3層構造の絶縁層は、酸化膜層部分の窒素雰囲気における急速加熱処理によって簡単に得られるものであり、このような半導体装置は安定した特性が設定されるようにして容易に製造できるものである。

[発明の実施例]

以下、図面を参照しながらこの発明の実施例を説明する。第1図はこの発明の一実施例に係るEPROMにおける1つの記憶素子部分の断面構成を示しているもので、シリコン基板11のPウエル領域部分には、ドレイン領域12およびソース領域13が形成されている。そして、このシリコン基板11の表面上に、トンネル酸化膜となる絶縁層14を介して、ポリシリコンよりなるフローティングゲート電極15が形成されている。そして、このフ

ローティングゲート電極15上には、さらに絶縁層16を介して同じくポリシリコンよりなるコントロールゲート電極17が形成され、上記フローティングゲート電極15およびコントロールゲート電極17部分を取り囲むようにして絶縁層18が形成されるようしている。

ここで、上記絶縁層14、16および17は、それぞれ酸素雰囲気中で加熱処理して得られた酸化シリコン(SiO_2)からなる酸化膜141、161および181を主体にして構成されるものであり、それぞれこのシリコン酸化膜141、161および181それぞれの両面に、ナイトロオキサイド層(窒化酸化膜)142、162および182が形成されるようになるもので、これら絶縁層14、16、18がそれぞれ3層構造で構成されるようしているものである。

シリコン基板11の上には、上記電極部を被覆するようにしてBPSG層20が形成されるものでありこのBPSG層20を貫通して上記ドレイン12およびソース13部からそれアルミニウムによる金属配線21および22が取り出されている。23は保

護用のパッシバーションである。

第2図は上記のような半導体装置の、特にEPROMの1つのメモリセル部分の製造過程を順次示しているもので、まず第2図Aで示すようにシリコン基板11のPウェル形成領域において、いわゆるLOCOS法によってフィールド酸化膜領域を形成するものであり、このようなシリコン基板11上に200~500Åの厚さの SiO_2 による酸化膜31を形成する。この酸化膜31の上には、さらに1000~2000Åの窒化シリコン(Si_3N_4)層32を形成し、フォトリソグラフィ、エッチング手法によってそのパターン形状が設定されるようにした。そして、この窒化シリコン層32をマスクとしてボロンイオンをシリコン基板11に注入し、P+チャンネルのストップ領域33を形成させるもので、さらに1000℃のスチーム中にいて、第2図Bで示すように0.5~1.5μmのフィールド酸化膜34が形成されるようにした。

上記酸化膜31および窒化シリコン層32はこの状

態で除去されるものであり、この除去された状態で第2図Cに示すように200~500Åのシリコン酸化膜によるゲート酸化膜35を形成する。

このようにゲート酸化膜35が形成されたならば、この半導体基板11を窒素系ガス雰囲気中に設定し、急速加熱することによって第2図Dで示すようにゲート酸化膜35の両面それぞれにナイトロオキサイド層351、352が形成されるようとする。

ここで、両面にナイトロオキサイド層351、352の形成されたゲート酸化膜35の形成方法について詳細に説明する。第3図はゲート酸化膜35をシリコン基板11の面上に形成する方法の流れを示しているもので、まずシリコン基板11が処理用チャンバ内に設定するもので、この状態で上記チャンバ内を減圧排気する第1の工程51を実行する。そして、処理用チャンバが真空状態に排気されたならば、このチャンバに H_2 、 HCl 等の反応ガスを導入する第2の工程53を実行し、さらに第3の工程53によって昇温して、シリコン基板11の表面に空气中や薬品処理によって形成された質の悪

い自然酸化膜を除去する。例えばこの工程53にあっては、1150℃で60秒間の熱処理が行われ、第4の工程54でその温度が下げられる。

このようにしてチャンバ内の温度が降下されたならば、第5の工程55でチャンバ内が排気減圧され、第6の工程56でチャンバ内に O_2 (酸素)または O_2 と HCl (塩酸ガス)が導入される。このようにしてチャンバ内のシリコン基板11が窒素雰囲気内に設定されたならば、第7の工程57でこのチャンバ内のシリコン基板11を昇温し、このシリコン基板11の表面にゲート酸化膜35とされるシリコン酸化膜が形成されるようとする。ここで、この工程57における昇温処理は、例えばハロゲンランプ、アークランプ等の熱源を用い、急速に昇温されるようしているものであり、シリコン基板11の表面を急速酸化させることによって、シリコン酸化膜が形成されるようしているものである。

このようにしてシリコン基板11の表面にシリコン酸化膜によるゲート酸化膜が形成されたならば、

上記チャンバ内を第8の工程58で降温し、さらに第9の工程59でチャンバ内を減圧排気する。

次の第10工程60では、上記減圧排気されたチャンバ内に窒素系の反応ガスであるNH₃を導入するものであり、第11の工程61で上記反応ガスの導入された状態で、シリコン基板11を上記ハロゲンランプあるいはアーチランプによる急速加熱手段によって急速昇温させ、急速窒化(RTN)させるようにする。この窒化工程は、例えば1150℃で30秒間行われる。

このようにして窒化工程が行われたならば、第12の工程62で降温処理し、さらに第13の工程63でチャンバ内に窒素を導入し、シリコン基板11を取出すものである。

第4図は上記のような処理を行う装置の概略的な構成を示しているもので、石英チャンバ65内にシリコン基板11が挿入され支持設定されるようしている。このチャンバ65内にはガス導入口66および67が形成され、導入口66からN₂が導入され、導入口67からNH₃、O₂、H₂、Cl等の反応

ガスが選択的に導入されるようになっている。そして、このチャンバ65にはさらに排出口68が形成されていて、この排出口68から図示されない真空ポンプによって、チャンバ65内が選択的に減圧排気処理されるようにしている。

上記石英チャンバ65の外周部には、ハロゲンランプ69による加熱機構が設けられている。そして、このハロゲンランプ69によって、チャンバ65内のシリコン基板11が急速に加熱処理されるようにしている。尚、詳細は図示していないが、石英チャンバ65内で温度センサによって上記加熱温度が観測されているもので、この加熱温度が目標温度状態に設定されるようにハロゲンランプ69が制御されるようにしている。

すなわち、上記第10工程60のように窒素系の反応ガスNH₃をチャンバ65内に導入し、次の工程61で急速窒化処理することによって、第2図Dで示されるように両面にナイトロオキサイド層351、352の形成されたゲート酸化膜35が得られるようになるものであり、このナイトロオキサイ

ド層351と352との間に酸化シリコン層が存在するような構造とされる。ここで、第11の工程61における急速窒化(RTN)工程は、1100～1250℃で30秒乃至300秒で適宜行われるものであるが、オージェ分析によってナイトロオキサイド層の状態を確認したところ第5図で示すような状態であった。尚、ここでは105Åのシリコン酸化膜を1150℃でNH₃中で急速加熱し急速窒化処理(RTN)した場合の例であり、この加熱時間の調整によって両面にナイトロオキサイド層を有する3層構造の酸化膜層が形成されることが確認された。そして、シリコン酸化膜の膜厚をさらに厚くした場合であっても、同様な3層構造とすることができることが確認できたものであるが、このような場合は熱処理温度をさらに高くし、急速加熱による窒化処理時間を長くする必要がある。この図で界面はゲート酸化膜35とシリコン基板11との界面側である。

このようにして両面にナイトロオキサイド層351および352の存在するゲート酸化膜35が形成

されたならば、第2図Eで示すようにN⁺型の第1のポリシリコン層36を3000～5000Åの厚さで形成するものであり、さらにこのポリシリコン層36上に第2図Fで示すように熱酸化による酸化シリコンによる酸化膜層37を形成する。そして、この酸化膜層37を上記ゲート酸化膜35の場合と同様に急速窒化処理し、第2図Gで示すようにその両面にナイトロオキサイド層371および372が形成されるようとする。

このようにして両面にナイトロオキサイド層371および372を備えた酸化膜37が形成されたならば、その上に第2図Hで示すように3000～5000Åの厚さで第2のポリシリコン層38を形成する。そして、この状態でレジストをマスクとして第2のポリシリコン層38、酸化膜層37、第1のポリシリコン層36の一部をエッティング除去し、例えばEPROMにおけるフローティングゲートおよびコントロールゲートが第1および第2のポリシリコン層36および38によって切り出し形成されるようとする。そして、これらゲート群の外周

部に、第2図Iで示されるように熱酸化膜39を形成し、第2図Jで示されるようにこの熱酸化膜39の両面に前記同様の急速窒化処理によってナイトロオキサイド層391および392が形成されるようになる。そして、これにソース、ドレイン、

BPSGによる層間絶縁層、アルミニウム配線層等を形成することによって、第1図で示したような半導体装置が構成されるようになるものである。

第6図はシリコン酸化膜層を両面にナイトロオキサイド層を有する3層構造とした場合にトラップが少なくなる様子を示しているもので、この評価はMOSダイオード構造でF-N電流によりシリコン酸化膜中に電子を注入し、ゲート電圧の変化を測定したものであり、ゲート電圧 V_g の変化の少ない状態であることは、シリコン酸化膜中にトラップされた電子または正孔が少ないことを意味するようになる。すなわち、急速窒化処理時間が0秒のものに対して、急速窒化時間10秒、30秒のものにおいては、トラップが充分に少ない状態となっている。

たシリコン酸化膜による絶縁層72を、両面にナイトロオキサイド層721および722が形成された3層構造で構成するようになっている。そして、この絶縁層72上にポリシリコンによる電極73を形成し、さらにこの電極73の外周が酸化膜による絶縁層74によって囲まれるようにし、この絶縁層74も両面にナイトロオキサイド層741、742を有する3層構造で構成されるようになっている。

すなわち、MOSトランジスタをこのように構成すると、ホットエレクトロンによる G_{ds} の劣化、および V_T の変化は共に非常に少ない状態とされ、良好な動作特性が得られるようになった。

[発明の効果]

以上のようにこの発明に係る半導体装置にあっては、トラップが少ない絶縁膜が形成され、且つトラップが発生し難い絶縁膜が形成されるようになっているものであり、例えばEPROM、EEPROM等においてスレッショルド電圧の低下を抑制して、書き込みおよび消去動作特性が効果的に

このトラップの少なくなる原因として考えられることは、窒化の急速な進行と共にSI-Oのトラップの原因といわれているストレインボンドが緩和されることにあると思われる。すなわち、シリコン酸化膜のみの場合にあっては、SI-SIO₂の界面近傍に亞んだストレインボンドが存在するものであるが、急速窒化を行うことによりある量のナイトロオキサイド膜が界面近傍に形成されることによって、界面の歪が減少しトラップの減少がおこると考えられる。

したがって、このような3層構造によって例えばEPROM、EEPROMのゲート酸化膜層その他の絶縁層を形成するようにすれば、電荷保持状態の劣化はみられなくなるものであり、データの書き込みおよび消去の繰返しを行っても、スレッショルド電圧が低下しない状態とされるものである。

第7図はショートチャネルの例えはNチャネルMOSトランジスタを構成する実施例を示しているものであり、シリコン基板71上に形成され

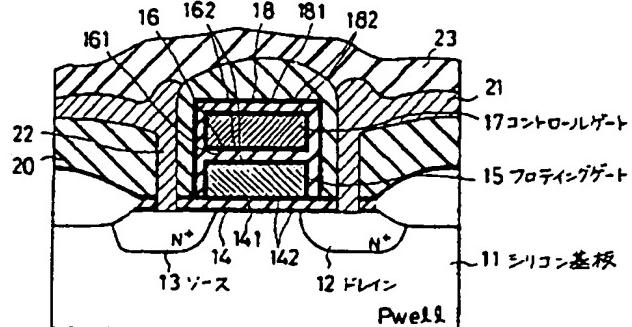
に向上されるようになるものであり、またMOSトランジスタを構成するような場合にはスレッショルドレベルが安定化されるようになるものである。そして、このような絶縁膜は例えばハロゲンランプ、アークランプ等を利用した急速加熱による窒化処理によって簡単に且つ効果的に形成されるようになるものである。

4. 図面の簡単な説明

第1図はこの発明の一実施例に係る半導体装置の例であるEPROMの1つの記憶素子部分の断面構造を示す図、第2図A～Jはそれぞれ上記半導体装置の製造工程を順次説明するための図、第3図は上記製造過程における絶縁膜の形成過程の流れを示す図、第4図は上記絶縁膜の形成過程で使用される処理装置の例を説明する構成図、第5図は上記絶縁膜部分のオージェ分析の結果を示す曲線図、第6図は急速窒化時間との関連でゲート電圧 V_g と電子注入量との関係を示す図、第7図はこの発明の他の実施例に係るNチャネルMO

Sトランジスタの断面構成を示す図である。

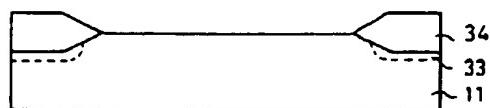
11…シリコン基板、14、16、18…絶縁層、
141、161、181…シリコン酸化膜、142、143、
162、163、182、183…ナイトロオキサイド層、
15…フローティングゲート、17…コントロールゲート、
35、37、39…ゲート酸化膜、351、352、
371、372、391、392…ナイトロオキサイド層、
36、38…第1および第2のポリシリコン層。



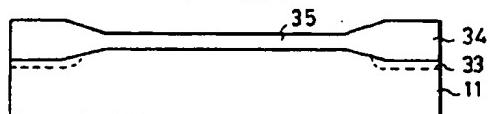
第1図



第2図A

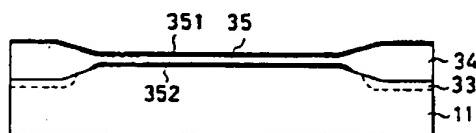


第2図B

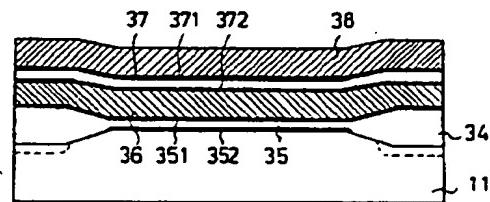


第2図C

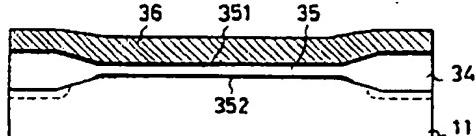
出願人代理人弁理士 鈴江武彦



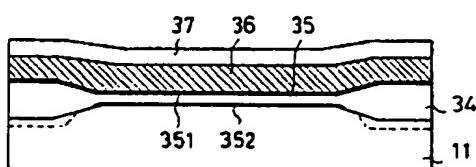
第2図D



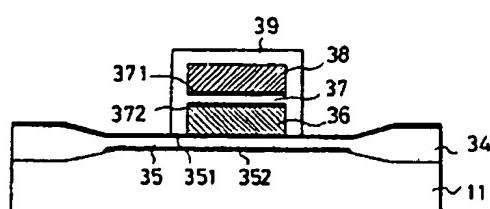
第2図E



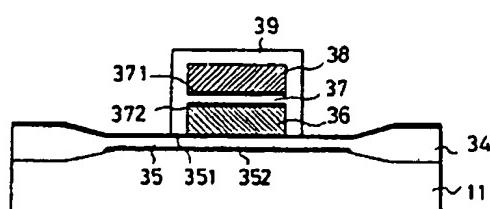
第2図F



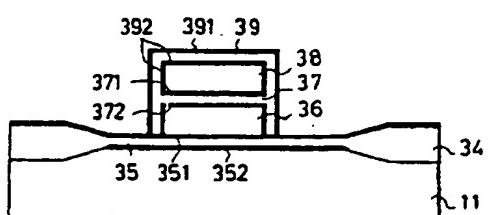
第2図G



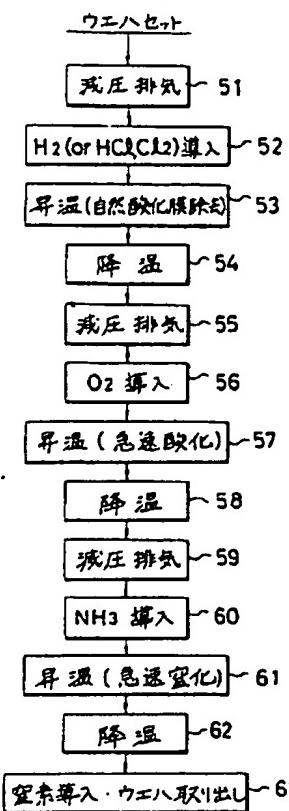
第2図H



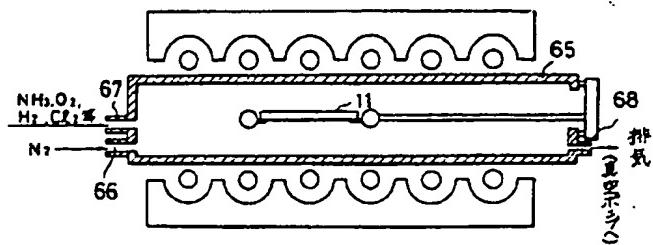
第2図I



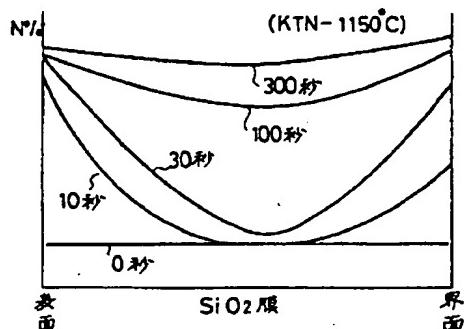
第2図J



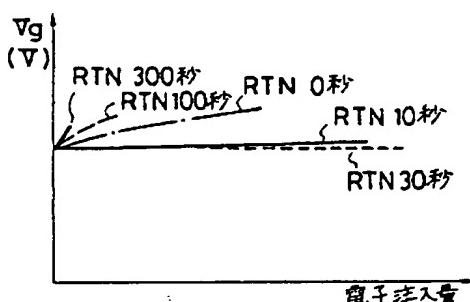
第3図



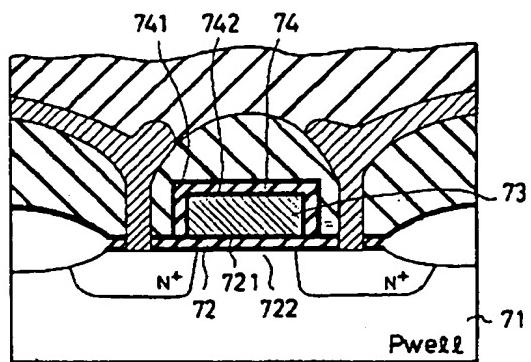
第4図



第5図



第6図



第7図